

Docket No.: 57454-967

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Toshihide OKA :
Serial No.: : Group Art Unit:
Filed: July 28, 2003 : Examiner:
For: PHASE COMPARATOR CAPABLE OF PERFORMING STABLE PHASE COMPARISON FOR
HIGH FREQUENCY BAND

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

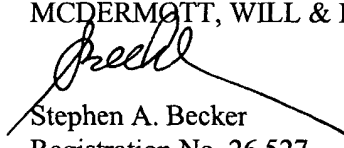
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-076077, filed March 19, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 28, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

57454-967
Toshihide Oka
July 28, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月19日

出 願 番 号

Application Number:

特願2003-076077

[ST.10/C]:

[JP2003-076077]

出 願 人

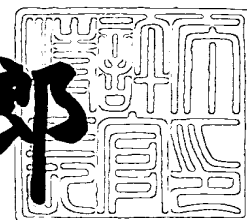
Applicant(s):

三菱電機株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3029989

【書類名】 特許願

【整理番号】 542097JP01

【提出日】 平成15年 3月19日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 岡 俊英

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 位相比較器

【特許請求の範囲】

【請求項 1】 第 1 の信号と、基準となる第 2 の信号の位相差を検出するための位相比較器であって、

前記第 2 の信号に同期したタイミングで前記第 1 の信号をサンプリングすることにより第 3 の信号を出力するリタイミング回路と、

前記第 1、2 および第 3 の信号に基づいて位相比較に応じた電流を流すための位相比較ユニットとを備え、

前記位相比較ユニットは、

第 1 および第 2 の電流源と、

出力ノードと、

前記第 1 の電流源と前記出力ノードとの間に接続され、前記第 1 の信号と前記第 3 の信号との排他的論理和が第 1 の論理レベルの場合に前記出力ノードに対して電流を流出する第 1 の電流制御回路と、

前記第 2 の電流源と前記出力ノードとの間に接続され、前記第 2 の信号が前記第 1 の論理レベルと反対の第 2 の論理レベルの場合に前記出力ノードからの電流の流入を受ける第 2 の電流制御回路とを含み、

前記第 1 の電流制御回路は、

前記第 1 の電流源と、前記出力ノードとの間に接続される 2 つのスイッチ部を有し、

前記 2 つのスイッチ部は、入力される前記第 1 および第 3 の信号の所定の組合せに応じて少なくとも一方がオンする場合に、前記第 1 の信号と前記第 3 の信号との排他的論理和が前記第 1 の論理レベルとなるように設計される、位相比較器

。

【請求項 2】 前記位相比較ユニットは、

前記 2 つのスイッチ部の一方に対応して設けられ、前記第 1 および第 3 の信号の入力を受けて、前記第 1 の信号と前記第 3 の信号との論理和を出力する第 1 の論理回路と、

前記 2 つのスイッチ部の他方に対応して設けられ、前記第 1 および第 3 の信号の入力を受けて、前記第 1 の信号の反転信号と前記第 3 の信号の反転信号の論理和を出力する第 2 の論理回路とをさらに含む、請求項 1 記載の位相比較器。

【請求項 3】 前記位相比較ユニットは、

前記 2 つのスイッチ部の一方に対応して設けられ、前記第 1 および第 3 の信号の入力を受けて、前記第 1 の信号の反転信号と前記第 3 の信号との論理積を出力する第 1 の論理回路と、

前記 2 つのスイッチ部の他方に対応して設けられ、前記第 1 および第 3 の信号の入力を受けて、前記第 1 の信号と前記第 3 の信号の反転信号の論理積を出力する第 2 の論理回路とをさらに含む、請求項 1 記載の位相比較器。

【請求項 4】 前記 2 つのスイッチ部は、前記第 1 の電流源と前記出力ノードとの間に互いに並列に接続され、

前記 2 つのスイッチ部の一方は、互いに直列に接続された第 1 および第 2 のスイッチ素子を有し、

前記第 1 および第 2 のスイッチ素子は、それぞれ入力される前記第 1 の信号および第 3 の信号がともに前記第 1 の論理レベルである場合にそれぞれオンし、

前記 2 つのスイッチ部の他方は、互いに直列に接続された第 3 および第 4 のスイッチ素子を有し、

前記第 3 および第 4 のスイッチ素子は、それぞれ入力される前記第 1 の信号の反転信号および前記第 3 の信号の反転信号がともに前記第 1 の論理レベルである場合にオンする、請求項 1 記載の位相比較器。

【請求項 5】 前記 2 つのスイッチ部は、前記第 1 の電流源と前記出力ノードとの間に互いに直列に接続され、

前記 2 つのスイッチ部の一方は、互いに並列に接続された第 1 および第 2 のスイッチ素子を有し、

前記第 1 および第 2 のスイッチ素子の少なくとも一方は、それぞれ入力される前記第 1 の信号および前記第 3 の信号の反転信号の少なくとも一方が前記第 1 の論理レベルである場合にオンし、

前記 2 つのスイッチ部の他方は、互いに並列に接続された第 3 および第 4 のス

イッチ素子を有し、

前記第 3 および第 4 のスイッチ素子の少なくとも一方は、夫々入力される前記第 1 の信号の反転信号および第 3 の信号の少なくとも一方が前記第 1 の論理レベルである場合にオンする、請求項 1 記載の位相比較器。

【請求項 6】 前記位相比較ユニットは、

前記第 2 の電流源と前記第 2 の電流制御回路との間を結ぶ内部ノードと、

前記第 2 の信号が前記第 1 の論理レベルの場合に前記出力ノードから前記内部ノードへ電流を供給する電流供給部とをさらに含む、請求項 1 記載の位相比較器。

【請求項 7】 前記位相比較ユニットは、前記第 2 の信号の前記第 2 の論理レベルの第 1 の期間を基準とし、前記第 1 の電流制御回路における前記第 1 の信号と前記第 3 の信号との排他的論理和が前記第 1 の論理レベルである第 2 の期間との相対比較に応じた電流を前記出力ノードに対して流し、

前記第 1 の期間よりも前記第 2 の期間が長い場合には、前記出力ノードから前記相対比較に応じた電流が流出され、前記第 2 の期間よりも前記第 1 の期間が長い場合には、前記出力ノードから前記相対比較に応じた電流が流入され、前記第 1 の期間と前記第 2 の期間が等しい場合には、前記第 1 の電流制御回路から前記出力ノードを介して前記第 2 の電流制御回路に対して所定電流が流れる、請求項 1 記載の位相比較器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、信号処理回路の内部において、入力された 2 つの信号の位相比較を実行する位相比較器に関する。

【0 0 0 2】

【従来技術】

一般に、発振器等の発振周波数を安定化させるために PLL (Phase locked loop) 回路が広く用いられている。

【0 0 0 3】

P L L回路は、システムクロックのようなリファレンス信号をモニタして、クロックのコントロールや他のクロック等との同期化を図るものである。具体的には、P L L回路内の位相比較器に入力されるリファレンス信号と内部のフィードバック信号との間の位相差が測定され、測定結果に応じてタイミング信号を生成する電圧制御発振器（以下、V C O（Voltage Controlled Oscillator）回路とも称する）の発振周波数が調整される。この発振された信号が位相比較器にフィードバック信号として入力され、位相比較器において、リファレンス信号とフィードバック信号との位相差が再び比較される。

【 0 0 0 4 】

P L L回路は、リファレンス信号をモニタし、上記のループ動作を継続的に実行してV C O回路の発振周波数を調整することによりリファレンス信号とフィードバック信号との位相の同期化を図る。

【 0 0 0 5 】

位相比較器としては種々の位相比較器があるが、一例として排他的論理和に基づく位相比較を実行するデジタル位相比較回路を挙げることができる。特開 2 0 0 0 - 3 6 7 2 9 号公報においては、2つの入力信号の排他的論理和に応じて回路に流入する電流流入量および回路から流出される電流流出量の時間平均結果に基づいて位相比較を実行する位相比較器の構成が開示されている。

【 0 0 0 6 】

具体的には、2つの入力信号の排他的論理和に基づくスイッチング動作を実行する論理回路と、当該論理回路のスイッチング動作に基づいて位相比較に応じた電流量の流入流出を制御する電流制御回路とが設けられている。

【 0 0 0 7 】

【特許文献 1】

特開 2 0 0 0 - 3 6 7 2 9 号公報（図 1，p 5，6）

【 0 0 0 8 】

【発明が解決しようとする課題】

一方で高周波数帯での位相比較を実行した場合、入力信号の周期より高速な信号処理すなわち高速なスイッチング動作が論理回路で要求されることとなる。

【 0 0 0 9 】

しかしながら、論理回路において、スイッチング動作に伴う電荷の充放電には所定期間が必要であるため、余りにも高速なスイッチング動作を要求した場合、位相の変化にスイッチング動作が追従できなくなるおそれがある。すなわち、電流制御回路で制御する電流量が位相変化に追従できなくなる恐れがある。したがって、従来の位相比較器においては、高周波数帯での位相比較を実行した場合、精度の高い位相比較を実行することが困難である。

【 0 0 1 0 】

本発明の目的は、上記の問題を解決するものであって、高周波数帯においても安定的な位相比較を実行することができる位相比較器を提供する。

【 0 0 1 1 】

【課題を解決するための手段】

この発明に係る位相比較器は、第 1 の信号と、基準となる第 2 の信号の位相差を検出するための位相比較器であって、リタイミング回路と、位相比較ユニットとを含む。リタイミング回路は、第 2 の信号に同期したタイミングで第 1 の信号をサンプリングすることにより第 3 の信号を出力する。位相比較ユニットは、第 1、2 および第 3 の信号に基づいて位相比較に応じた電流を流す。位相比較ユニットは、第 1 および第 2 の電流源と、出力ノードと、第 1 および第 2 の電流制御回路とを含む。第 1 の電流制御回路は、第 1 の電流源と出力ノードとの間に接続され、第 1 の信号と第 3 の信号との排他的論理和が第 1 の論理レベルの場合に出力ノードに対して電流を流出する。第 2 の電流制御回路は、第 2 の電流源と出力ノードとの間に接続され、第 2 の信号が第 1 の論理レベルと反対の第 2 の論理レベルの場合に出力ノードからの電流の流入を受ける。第 1 の電流制御回路は、第 1 の電流源と、出力ノードとの間に接続される 2 つのスイッチ部を有する。2 つのスイッチ部は、入力される第 1 および第 3 の信号の所定の組合せに応じて少なくとも一方がオンする場合に、第 1 の信号と第 3 の信号との排他的論理和が第 1 の論理レベルとなるように設計される。

【 0 0 1 2 】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【 0 0 1 3 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に従う PLL 回路 1 の概略ブロック図である。

【 0 0 1 4 】

図 1 を参照して、PLL 回路 1 は、位相比較器 1 0 0 と、ループフィルタ 3 0 0 と、VCO 回路 4 0 0 とを備える。位相比較器 1 0 0 は、リファレンス信号となるクロック信号 CLK とフィードバック信号である帰還信号 DTA との位相差を検出し、ループフィルタ 3 0 0 に位相差に基づいて電流を流出するもしくはループフィルタ 3 0 0 からの電流の流入を受けるあるいはループフィルタ 3 0 0 に対して電流を流さない。ループフィルタ 3 0 0 は、位相比較器 1 0 0 の位相差に基づく電流の流入／流出に応じた制御電圧 VO を生成する。VCO 回路 4 0 0 は、ループフィルタ 3 0 0 により生成された制御電圧 VO に基づく周波数の信号を発振する。この発振された信号が帰還信号 DTA として位相比較器 1 0 0 にフィードバックされる。

【 0 0 1 5 】

図 2 は、本発明の実施の形態 1 に従う位相比較器 1 0 0 の回路構成図である。

図 2 を参照して、本発明の実施の形態 1 に従う位相比較器 1 0 0 は、帰還信号 DTA をクロック信号の立上りに同期したタイミングでサンプリングするフリップフロップ回路 5 (リタイミング回路) と、帰還信号 DTA をクロック信号の半周期ずれた立下りに同期したタイミングでサンプリングするフリップフロップ回路 1 0 と、フリップフロップ回路 5, 1 0 でサンプリングすることにより得られた信号の位相比較に基づいて電流を流入／流出する位相比較ユニット 3 0 とを含む。

【 0 0 1 6 】

フリップフロップ回路 5 は、クロック信号 CLK の立上りに同期したタイミングでサンプリングすることによりクロック信号 CLK と同位相の信号 NB を生成する。また、フリップフロップ回路 1 0 は、クロック信号 CLK の立下りに同期

したタイミングでサンプリングすることにより、信号NBに対してクロック信号CLKの半周期に相当する位相差を有する信号NCを生成する。なお、信号NBと信号NCとの排他的論理和はクロック信号CLKに相当する。

【0017】

位相比較ユニット30は、入力された信号に対して所定の論理演算動作を実行する論理回路15、20と、出力ノードに対して流入もしくは流出する電流量を規定する電流調整回路25とを含む。

【0018】

論理回路15は、信号NAおよびNBの入力を受けて制御信号S0、S1およびその反転信号/S0、/S1を出力する。論理回路20は、信号NBと信号NCの入力を受けて制御信号R0、R1およびその反転信号/R0、/R1を出力する。なお、本明細書において、「/」の記号は、反転、否定、相補等を指し示すものとする。

【0019】

電流調整回路25は、電流源31、32と、アンプAPと、トランジスタPT1～PT4と、NT1～NT4とを含む。なお、トランジスタPT1～PT4は、一例としてPチャンネルMOSトランジスタとする。トランジスタNT1～NT4は、一例としてNチャンネルMOSトランジスタとする。

【0020】

電流源31は、電源電圧VDDとノードN0との間に配置される。トランジスタPT1およびPT2は、ノードN0とノードN3との間に直列に接続され、それぞれのゲートは、論理回路15から制御信号/S0、/S1の信号をそれぞれ受ける。トランジスタPT3およびPT4は、ノードN0とノードN2との間に互いに並列に配置され、それぞれのゲートは、論理回路15から制御信号S0、S1の信号をそれぞれ受ける。トランジスタNT1およびNT2は、ノードN3とノードN1との間に直列に接続され、それぞれのゲートは、論理回路20から制御信号/R0、/R1の信号をそれぞれ受ける。トランジスタNT3およびNT4は、ノードN2とノードN1との間に互いに並列に配置され、それぞれのゲートは、論理回路20から制御信号R0、R1の信号をそれぞれ受ける。電流源

3 2 は、ノード N 1 と接地電圧 G N D との間に配置される。アンプ A P は、ノード N 2 の電圧レベルを所定レベルに増幅してノード N 3 に出力する。

【 0 0 2 1 】

本発明の実施の形態 1 に従う位相比較ユニット 3 0 の動作について説明する。

位相比較ユニット 3 0 は、信号 N B と信号 N C との位相差を基準として信号 N A と信号 N B との位相差を検出する。信号 N B と信号 N C との位相差はクロック信号 C L K の半周期である。信号 N A と信号 N B との位相差が信号 N B と信号 N C との位相差と同じになれば、信号 N A はクロック信号 C L K と同位相の信号に設定され、クロック信号 C L K と同期化させることができる。具体的には、信号 N A と信号 N B との排他的論理和演算に対応するトランジスタ P T 3 , P T 4 で構成されるスイッチ回路のスイッチング動作を実行することにより信号 N A と信号 N B との位相差を検出する。電流源 3 1 は、検出結果に基づく電流をノード N 2 に流出する。

【 0 0 2 2 】

一方、信号 N B と信号 N C との排他的論理和演算に対応するトランジスタ N T 3 , N T 4 で構成されるスイッチ回路のスイッチング動作を実行することにより信号 N B と信号 N C との位相差を検出する。電流源 3 2 は、ノード N 2 から検出結果に基づく電流の流入を受ける。

【 0 0 2 3 】

位相差がともに同じであれば電流源 3 1 から電流源 3 2 に一定の電流が流れ、ノード N 2 からループフィルタ 3 0 0 に対して電流は流れない。一方、位相差が互いに異なる場合、その差に応じて、ノード N 2 からループフィルタ 3 0 0 に対して電流が流出もしくはループフィルタ 3 0 0 からノード N 2 に対して電流が流入する。ここで、信号 N B と信号 N C との位相差はクロック信号 C L K の半周期であるため一定であり、電流源 3 2 はノード N 2 から一定の定電流を受ける。この位相比較ユニット 3 0 は、電流を一旦外部に流出して、そのあと内部に流入する電流との電流差により位相差を検出するのではなく、内部の回路内の電流源 3 2 に流れ込む基準となる定電流と電流源 3 1 から流れる電流との相対比較により位相差を検出する。定電流よりも余剰の電流が電流源 3 1 から流れる場合には出

力ノードから流出され、足りない場合には、足りない電流量分出力ノードN 2 から流入される。

【 0 0 2 4 】

すなわち、位相比較ユニット3 0 は、信号N A と信号N B との位相差に基づく電流源3 1 から流れる電流量と定電流との差に基づいてループフィルタ3 0 0 に電流を流出するもしくはループフィルタ3 0 0 からの電流の流入を受ける。なお、本構成は、主に右側のスイッチ回路において、位相差検出動作を実行する一方で、それとは対照的に左側にもスイッチ回路が設けられる。具体的には、ノードN 3 とノードN 0 との間において、トランジスタP T 3 , P T 4 で構成されるスイッチ回路と相補的に動作するトランジスタP T 1 , P T 2 で構成されるスイッチ回路が設けられる。また、ノードN 3 とノードN 1 との間において、トランジスタN T 3 , N T 4 で構成されるスイッチ回路と相補的に動作するトランジスタN T 1 , N T 2 で構成されるスイッチ回路が設けられる。これらのスイッチ回路は、後述するが電流調整回路の動作安定補償として設けられる。

【 0 0 2 5 】

本実施の形態1 においては、ノードN 0 とノードN 2 との間に設けられるスイッチ回路に対して、スイッチ回路のターンオンすなわちスイッチング動作が信号N A と信号N B との排他的論理和（「L」レベル）となるようにスイッチ回路を設計する。

【 0 0 2 6 】

具体的には、信号N A と信号N B との排他的論理和は、制御信号S 0 とS 1 との論理積に分解することができる。制御信号S 0 は、信号N A と信号N B との論理和（ $N A + N B$ ）に相当する。制御信号S 1 は、信号N A の反転信号と信号N B の反転信号との論理和（ $(\neg N A) + (\neg N B)$ ）に相当する。この制御信号S 0 とS 1 とをノードN 0 とノードN 2 との間に互いに並列に接続された2 つのPチャンネルMOSトランジスタP T 3 およびP T 4 で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号N A と信号N B との排他的論理和（「L」レベル）となるようにスイッチ回路を設計することができる。

【 0 0 2 7 】

このように信号N Aと信号N Bとの排他的論理和を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

【 0 0 2 8 】

なお、本明細書において、「 \cdot 」の記号は論理積を指し示し、「 $+$ 」の記号は論理和を指し示すものとする。

【 0 0 2 9 】

同様に、ノードN 2とノードN 1との間に設けられるスイッチ回路に対して、スイッチ回路のターンオンが信号N Bと信号N Cとの排他的論理和（「L」レベル）となるようにスイッチ回路を設計する。

【 0 0 3 0 】

具体的には、信号N Bと信号N Cとの排他的論理和は、制御信号R 0とR 1との論理積に分解することができる。制御信号R 0は、信号N Bと信号N Cの反転信号との論理積（ $NB \cdot (\neg NC)$ ）に相当する。また、制御信号R 1は、信号N Bの反転信号と信号N Cとの論理積（ $(\neg NB) \cdot NC$ ）に相当する。この制御信号R 0とR 1とをノードN 1とノードN 2との間に互いに並列に接続された2つのNチャンネルMOSトランジスタNT 3およびNT 4で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号N Aと信号N Bとの排他的論理和（「L」レベル）となるようにスイッチ回路を設計することができる。このように信号N Aと信号N Bとの排他的論理和を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

【 0 0 3 1 】

同様に、ノードN 0とノードN 3との間に設けられるスイッチ回路に対して、当該スイッチ回路のターンオンが信号N Aと信号N Bとの排他的論理和の反転信号（「L」レベル）となるようにスイッチ回路を設計する。

【 0 0 3 2 】

具体的には、信号N Aと信号N Bとの排他的論理和の反転信号は、制御信号S

0 の反転信号と制御信号 S 1 の反転信号との論理和に分解することができる。この制御信号 S 0 の反転信号と制御信号 S 1 の反転信号とをノード N 0 とノード N 3 との間に互いに直列に接続された 2 つの P チャンネル MOS トランジスタ P T 1 および P T 2 で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号 N A と信号 N B との排他的論理和の反転信号（「H」レベル）となるようにスイッチ回路を設計することができる。このように信号 N A と信号 N B との排他的論理和の反転信号を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

【 0 0 3 3 】

同様に、ノード N 3 とノード N 1 との間に設けられるスイッチ回路に対して、当該スイッチ回路のターンオンが信号 N B と信号 N C との排他的論理和の反転信号（「H」レベル）となるようにスイッチ回路を設計する。

【 0 0 3 4 】

具体的には、信号 N B と信号 N C との排他的論理和の反転信号は、制御信号 R 0 の反転信号と制御信号 R 1 の反転信号との論理積に分解することができる。この制御信号 R 0 の反転信号と制御信号 R 1 の反転信号とをノード N 3 とノード N 1 との間に互いに直列に接続された 2 つの N チャンネル MOS トランジスタ N T 1 および N T 2 で構成されるスイッチ回路のそれぞれのゲートに入力することにより、スイッチ回路のターンオンが信号 N B と信号 N C との排他的論理和の反転信号（「H」レベル）となるようにスイッチ回路を設計することができる。このように信号 N B と信号 N C との排他的論理和の反転信号を論理回路で論理演算するよりも、スイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

【 0 0 3 5 】

図 3 のタイミングチャート図を用いて、図 2 に示す位相比較ユニット 3 0 の動作について説明する。なお、ここでは、位相差検出動作を実行する右側のスイッチ回路の動作に着目して説明する。

【 0 0 3 6 】

図 2, 3 を参照して、クロック信号 C L K の立上りに同期した時刻 T 1, T 4 等において、フリップフロップ回路 5 は、信号 N A をサンプリングしたクロック信号 C L K と同期化した信号 N B を出力する。フリップフロップ回路 1 0 は、半周期ずれたクロック信号 C L K の立下りに同期した時刻 T 2, T 5 等において、信号 N B をサンプリングしたクロック信号 C L K と同期化した信号 N C を出力する。本例においては、信号 N A は、信号 N B に対して ΔT だけ位相が遅れた状態である。なお、本例においては、信号 N A と信号 N B との位相差がクロック信号 C L K の半周期となった場合に、信号 N A の位相がクロック信号 C L K の位相と同期化したものとする。

【 0 0 3 7 】

位相比較ユニット 3 0 は、信号 N B と信号 N C との位相差を基準として、信号 N A と信号 N B との位相差を相対比較する。ここでは、図 3 に示されるように時刻 T 1 - T 4 のクロック信号 C L K の 1 周期の期間を基準に考える。信号 N A と信号 N B との排他的論理和は、時刻 T 1 - T 3 の期間において位相一致を示す「L」レベルの信号に設定される。

【 0 0 3 8 】

一方、信号 N B と信号 N C との位相差は、クロック信号 C L K の半周期であるため上述したようにクロック信号 C L K と同一の信号により示される。すなわち、時刻 T 1 - T 2 の期間は「H」レベル、時刻 T 2 - T 4 の期間は「L」レベルに設定される。

【 0 0 3 9 】

電流調整回路 2 5 は、信号 N B と信号 N C との位相差を基準として、信号 N A と信号 N B との位相差に基づく時刻 T 2 - T 3 の期間 ΔT 分、電流源 3 1 から電流源 3 2 に電流が流されることなくループフィルタ 3 0 0 に対して電流を流出する。

【 0 0 4 0 】

これにより、位相比較ユニット 3 0 において、相対比較に基づく位相差検出動作が実行され、位相差に応じた電流が流出する。

【 0 0 4 1 】

ここで、位相差が大きいもしくは入力信号が高速である場合には、たとえば、図 3 に示されるように信号 N A と信号 N B との排他的論理和の出力信号が「H」レベルもしくは「L」レベルに設定される期間が短くなる。この場合、論理回路は、排他的論理和を出力する際のトランジスタの充放電期間を十分確保することが難しくなり、配線等の寄生素子の影響も加味して、位相差に応じた正確な論理レベルで排他的論理和の出力信号を出力することができなくなる可能性がある。具体的には、論理回路からの出力信号である排他的論理和が「H」レベルに設定される期間が短期間である場合には、論理レベルが「H」レベルに上昇するまでに、「L」レベルに設定される場合があり、結果として常に「L」レベルを出力することになる可能性がある。

【 0 0 4 2 】

本実施の形態 1 においては、この位相差検出動作において、本来論理回路の論理値出力（信号 N A と信号 N B との排他的論理和）に基づくトランジスタのスイッチング動作をトランジスタの充放電に要する期間を短縮するために電流の和（積）の形で置換している。たとえば、図 2 においては、信号 N A と信号 N B との排他的論理和を P チャンネル MOS トランジスタ P T 3 および P T 4 の電流出力の和で置換している。これらの 2 つのトランジスタを制御する信号は、図 3 に示されるように「H」レベルもしくは「L」レベルの期間がある程度十分に確保された信号である。したがって、電流の和は、正確に位相差を反映することになる。すなわち、本構成により安定した位相差検出動作を実行することができる。

【 0 0 4 3 】

図 4 は、電流調整回路 2 5 の出力ノード N 2 からループフィルタ 3 0 0 に流れる電流量の関係を示す図である。

【 0 0 4 4 】

ここでは、信号 N B と信号 N C との位相差を基準とした場合における信号 N A と信号 N B との位相差に伴う電流がループフィルタ 3 0 0 に流出するもしくはループフィルタ 3 0 0 から流入される。

【 0 0 4 5 】

図 3 の例においては、上述したように信号 N A の位相が期間 ΔT 遅延している

状態である。ここで、信号N Aと信号N Bとの位相差は、信号N Bと信号N Cとの位相差を基準とした場合において負の値とする。これに伴い、PチャンネルMOSトランジスタP T 3およびP T 4で構成されるスイッチ回路は、NチャンネルMOSトランジスタN T 3およびN T 4で構成されるスイッチ回路よりも長時間オンすなわちスイッチング動作を実行するためループフィルタ3 0 0に対して電流が流れ込む。

【0 0 4 6】

図5は、ループフィルタ3 0 0の回路構成図である。

図5を参照して、ループフィルタ3 0 0は、位相比較ユニット3 0の出力ノードN 2と接地電圧G N Dとの間に直列接続された抵抗R fおよびキャパシタC fを含む。

【0 0 4 7】

ループフィルタ3 0 0への電流の流入／流出は、抵抗R fおよびキャパシタC fで積分され、ほぼ直流の電圧に変換されて制御電圧V Oを得る。

【0 0 4 8】

図6は、図1に示したV C O回路4 0 0の回路構成図である。

図6を参照して、V C O回路4 0 0は、ノードN pおよびノードN nに制御電圧V Oに基づく電圧を生成する電圧調整回路B 2 1と、ノードN pおよびN nに生成された電圧に応じた周波数で発振する発振器B 2 2と、発振器B 2 2の出力を受けて帰還信号D T Aを出力するバッファ回路B 2 3を含む。

【0 0 4 9】

電圧調整回路B 2 1は、トランジスタB 2 1 a～B 2 1 dを含む。トランジスタB 2 1 cは、ノードN pと接地電圧G N Dとの間に配置され、そのゲートは、制御電圧V Oの入力を受ける。トランジスタB 2 1 aは、電源電圧V D DとノードN pとの間に配置され、そのゲートはノードN pと接続されている。トランジスタB 2 1 bは、ノードN nと電源電圧V D Dとの間に配置され、そのゲートはノードN pと接続されている。トランジスタB 2 1 dは、ノードN nと接地電圧G N Dとの間に配置され、そのゲートはノードN nと接続されている。トランジスタB 2 1 aとB 2 1 bとはカレントミラー回路を形成する。したがって、ラン

ジスタ B 2 1 a と B 2 1 b のトランジスタサイズが等しい場合、制御電圧 V_O に応じた等しい通過電流 I_a がそれぞれのトランジスタ B 2 1 a, B 2 1 b を流れる。

【 0 0 5 0 】

発振器 B 2 2 は、直列に接続される奇数段の複数のインバータ B 2 2 1 ~ B 2 2 k を含む。インバータ B 2 2 k の出力は、インバータ B 2 2 1 の入力にフィードバックされている。

【 0 0 5 1 】

また、バッファ回路 B 2 3 の入力には、インバータ B 2 2 k の出力が接続される。

【 0 0 5 2 】

インバータ B 2 2 k (k は自然数) は、遅延時間を制御することができるインバータであり、ノード N_p とゲートとが接続され、電源電圧 V_{DD} が与えられる電源ノードからの電流を制限する P チャンネルトランジスタ B 2 2 a k と、ゲートとノード N_n とが接続され、接地ノードへ流れ出す電流を制限する N チャンネルトランジスタ B 2 2 d k と、P チャンネルトランジスタ B 2 2 a k のドレインと N チャンネルトランジスタ B 2 2 d k のドレインとの間に直列接続される P チャンネルトランジスタ B 2 2 b k および N チャンネルトランジスタ B 2 2 c k とを有する。

【 0 0 5 3 】

P チャンネルトランジスタ B 2 2 b k のゲートと N チャンネルトランジスタ B 2 2 c k のゲートは接続され、インバータ B 2 2 k の入力ノードとなり、P チャンネルトランジスタ B 2 2 b k のドレインはインバータ B 2 2 k の出力ノードとなる。

【 0 0 5 4 】

ここで、トランジスタ B 2 2 a k のゲートは、ノード N_p と接続されており、トランジスタ B 2 1 b と同様にトランジスタ B 2 1 a とカレントミラー回路を形成する。一方、トランジスタ B 2 2 d k のゲートは、ノード N_n と接続されており、トランジスタ B 2 1 d とカレントミラー回路を形成する。したがって、トラ

ンジスタ B 2 1 d を流れる通過電流 I_a に応じた電流がトランジスタ B 2 1 d に流れる。なお、トランジスタ B 2 1 d とトランジスタ B 2 2 d のトランジスタサイズが等しい場合には同じ通過電流 I_a が流れる。

【 0 0 5 5 】

他のインバータについても同様の構成であり、電圧調整回路 B 2 1 を流れる通過電流 I_a に基づいてインバータの動作速度が調整され、発振する周波数が調整される。

【 0 0 5 6 】

たとえば、位相比較器 1 0 0 からループフィルタ 3 0 0 に電流が流入する場合、ループフィルタ 3 0 0 で生成される制御電圧 V_O は上昇する。これに伴い、VCO 回路 4 0 0 において、電圧調整回路 B 2 1 は、制御電圧 V_O の上昇に伴い、通過電流 I_a の電流量を増加させる。これにより、インバータの動作速度が高速になる。したがって、発振する周波数の位相はこれに追従して進む。本例においては、例示的にいわゆるリング型の VCO 回路を用いた構成について説明したがインダクタンスと可変容量の LC 共振を用いた LC 型 VCO 回路を用いた構成としても良い。

【 0 0 5 7 】

なお、ここで、トランジスタ P T 1 および P T 2 で構成されるスイッチ回路と、トランジスタ N T 1 および N T 2 で構成されるスイッチ回路とアンプ A P について説明する。これらの回路は電流調整回路 2 5 の動作保障として設けられたものである。

【 0 0 5 8 】

具体的には、電流源 3 2 と接続されるノード N 1 の電位を所定レベル以上に維持する。上述したように N チャンネル MOS トランジスタ N T 3, N T 4 で構成されるスイッチ回路は、クロック信号 C L K の半周期の区間オンしており、他方の半周期の区間はオフである。したがって、ノード N 1 の電位は、スイッチ回路がオフしている期間において、接地電圧 G N D 付近まで下がり、電流源 3 2 は、電流源として機能しなくなるおそれがある。したがって、N チャンネル MOS トランジスタ N T 1, N T 2 で構成される相補的に動作するスイッチ回路を動作さ

せてノードN 2の電圧レベルをアンプA Pにより増幅し、ノードN 3からノードN 1への電流経路を形成する（電流供給部）。これにより、電流源3 2には定常的にある程度の電流が流れこむ。したがって、頻繁にノードN 1の電位が下がることはなく電流源3 2は安定的に電流源として機能する。同様に、アンプA Pは、ノードN 3の電圧レベルをある電圧レベル以上を維持するように機能するためノードN 0からノードN 3に対して定常的にある程度の電流が流れ込む。したがって、アンプA PによりノードN 0の電位レベルの変動が抑制されるため電流源3 1は、安定的な電流源として機能する。

【0 0 5 9】

（実施の形態2）

上記の実施の形態1においては、電流調整回路2 5において、信号N Aと信号N Bとの排他的論理和をスイッチ回路により実現する一例について説明した。

【0 0 6 0】

本実施の形態2においては、他の制御信号の組合せに従い信号N Aと信号N Bとの排他的論理和をスイッチ回路で実現する構成について説明する。

【0 0 6 1】

信号N Aと信号N Bとの排他的論理和は次式に変形することができる。

【0 0 6 2】

【数1】

$$\begin{aligned} NA \oplus NB &= NA \cdot \overline{NB} + \overline{NA} \cdot NB = (\overline{NA + NB}) + (\overline{NA + NB}) \\ &= (NA + NB) \cdot (\overline{NA + NB}) = (\overline{NA \cdot NB}) \cdot (\overline{NA \cdot NB}) \end{aligned}$$

「 \oplus 」：本明細書において排他的論理和を指し示すものとする。

【0 0 6 3】

図7は、実施の形態2に従う位相比較器1 1 0の回路構成図である。

図7を参照して、実施の形態2に従う位相比較器1 1 0は、位相比較器1 0 0と比較して、位相比較ユニット3 0を位相比較ユニット3 0 aに置換した点異なる。

【0 0 6 4】

位相比較ユニット 3 0 a は、位相比較ユニット 3 0 と比較して、論理回路 1 5 , 2 0 をそれぞれ論理回路 1 5 a , 2 0 a に置換するとともに、電流調整回路 2 5 を電流調整回路 2 5 a に置換した点が異なる。

【 0 0 6 5 】

論理回路 1 5 a は、制御信号 $S 0$ ($\neg NA \cdot NB$) , $S 1$ ($NA \cdot (\neg NB)$) と、これらの制御信号を反転した制御信号 $\neg S 0$, $\neg S 1$ を生成する。

【 0 0 6 6 】

また、論理回路 2 0 a は、制御信号 $R 0$ ($NB + NC$) , $R 1$ ($(\neg NB) + (\neg NC)$) と、これらの制御信号を反転した制御信号 $\neg R 0$, $\neg R 1$ を生成する。

【 0 0 6 7 】

電流調整回路 2 5 a において、P チャンネル MOS トランジスタ $PT 1$ および $PT 2$ は、並列に接続され、制御信号 $\neg S 0$ および $\neg S 1$ の入力をそれぞれ受ける。P チャンネル MOS トランジスタ $PT 3$ および $PT 4$ は直列に接続され、制御信号 $S 0$ および $S 1$ の入力をそれぞれ受ける。N チャンネル MOS トランジスタ $NT 1$ および $NT 2$ は、並列に接続され、制御信号 $\neg R 0$, $\neg R 1$ の入力をそれぞれ受ける。N チャンネル MOS トランジスタ $NT 3$ および $NT 4$ は、直列に接続され、制御信号 $R 0$, $R 1$ の入力をそれぞれ受ける。

【 0 0 6 8 】

本構成により、P チャンネル MOS トランジスタ $PT 3$ および $PT 4$ で構成されるスイッチ回路は、信号 NA と信号 NB との排他的論理和 (「L」レベル) に応答してターンオンするように設計される。また、P チャンネル MOS トランジスタ $PT 1$ および $PT 2$ で構成されるスイッチ回路は、信号 NA と信号 NB との排他的論理和 (「H」レベル) に応答してターンオンするように設計される。また、N チャンネル MOS トランジスタ $NT 3$ および $NT 4$ で構成されるスイッチ回路は、信号 NB と信号 NC との排他的論理和 (「L」レベル) に応答してターンオンするように設計される。N チャンネル MOS トランジスタ $NT 1$ および $NT 2$ で構成されるスイッチ回路は、信号 NB と信号 NC との排他的論理和 (「H」レベル) に応答してターンオンするように設計される。

【 0 0 6 9 】

すなわち、本来論理回路の論理値出力（信号NAと信号NBとの排他的論理和）に基づくトランジスタのスイッチング動作をトランジスタの充放電に要する期間を短縮するために電流の和（積）の形で置換した構成である。

【 0 0 7 0 】

したがって、本構成の如く、所定の論理の組合せおよびスイッチ回路を構成するトランジスタを調整することにより、実施の形態1と同様に制御信号S0、S1を用いて信号NAと信号NBとの排他的論理和をスイッチ回路で実現することができる。

【 0 0 7 1 】

本実施の形態2にしたがって、レイアウト上の制約や論理回路の出力波形を考慮しつつベストな論理の組合せを選択し、位相比較器に適用することにより効率的かつ精度の高い位相比較を実行することができる。

【 0 0 7 2 】

（実施の形態3）

本発明の実施の形態3においては、実施の形態1よりもさらに位相比較動作を高速に実行する位相比較器の構成について説明する。

【 0 0 7 3 】

図8は、本実施の形態3に従う位相比較ユニット30#の回路構成図である。

位相比較ユニット30#は、論理回路15#と、トランジスタTp1～Tp8と、電流源31、32と、トランジスタTn1～Tn8とを含む。

【 0 0 7 4 】

論理回路15#は、信号NA、NBおよびNCの入力を受けて、そのままの信号NA、NBおよびNCならびにその反転信号／NA、／NBおよび／NCを出力する。

【 0 0 7 5 】

電流源31は、電源電圧VDDとノードN0との間に配置される。電流源32は、ノードN1と接地電圧GNDとの間に配置される。

【 0 0 7 6 】

トランジスタT p 1 およびT p 2 は、トランジスタT p 3 およびT p 4 とノードN 0 とノードN 3 との間に直列に接続される。トランジスタT p 1 およびT p 2 は、互いに並列に接続され、それぞれのゲートは信号／N A および／N B の入力を受ける。トランジスタT p 3 およびT p 4 は、互いに並列に接続され、それぞれのゲートは信号N A およびN B の入力を受ける。トランジスタT p 5 およびT p 7 は、トランジスタT p 6 およびT p 8 とノードN 0 とノードN 2 との間に互いに並列に接続される。トランジスタT p 5 およびT p 7 は、互いに直列に接続され、それぞれのゲートは信号N A およびN B の入力を受ける。トランジスタT p 6 およびT p 8 は、互いに直列に接続され、それぞれのゲートは信号／N A および／N B の入力を受ける。

【0 0 7 7】

トランジスタT n 1 およびT n 2 は、トランジスタT n 3 およびT n 4 とノードN 2 とノードN 1 との間に直列に接続される。トランジスタT n 1 およびT n 2 は、互いに並列に接続され、それぞれのゲートは信号／N B およびN C の入力を受ける。トランジスタT n 3 およびT n 4 は、互いに並列に接続され、それぞれのゲートは信号N B および／N C の入力を受ける。トランジスタT n 5 およびT n 7 は、トランジスタT n 6 およびT n 8 とノードN 2 とノードN 1 との間に互いに並列に接続される。トランジスタT n 5 およびT n 7 は、互いに直列に接続され、それぞれのゲートは信号N B および／N C の入力を受ける。トランジスタT n 6 およびT n 8 は、互いに直列に接続され、それぞれのゲートは信号／N B およびN C の入力を受ける。

【0 0 7 8】

図8に示す位相比較ユニット3 0 # は、図2で説明した位相比較ユニット3 0 と等価な回路である。

【0 0 7 9】

具体的には、直列に接続され、それぞれ信号N A およびN B をゲートに受けるトランジスタT p 5 およびT p 7 は、制御信号S 0 をゲートに受けるトランジスタP T 3 と等価な回路である。同様に、直列に接続され、それぞれ信号N A の反転信号および信号N B の反転信号をゲートに受けるトランジスタT p 6 およびT

p 8 は、制御信号 S 1 をゲートに受けるトランジスタ P T 4 と等価な回路である。また、直列に接続され、それぞれ信号 N B および N C の反転信号をゲートに受けるトランジスタ T n 5 および T n 7 は、制御信号 R 0 をゲートに受けるトランジスタ N T 3 と等価な回路である。同様に、直列に接続され、それぞれ信号 N B の反転信号および信号 N C をゲートに受けるトランジスタ T n 6 および T n 8 は、制御信号 R 1 をゲートに受けるトランジスタ N T 4 と等価な回路である。

【0080】

また、相補的に動作するスイッチ回路においても同様に、互いに並列に接続され、それぞれ信号 N A および N B をゲートに受けるトランジスタ T p 3 および T p 4 は、制御信号 S 1 の反転信号をゲートに受けるトランジスタ P T 2 と等価な回路である。同様に、互いに並列に接続され、それぞれ信号 N A の反転信号および信号 N B の反転信号をゲートに受けるトランジスタ T p 1 および T p 2 は、制御信号 S 0 の反転信号をゲートに受けるトランジスタ P T 1 と等価な回路である。また、互いに並列に接続され、それぞれ信号 N B の反転信号および信号 N C をゲートに受けるトランジスタ T n 1 および T n 2 は、制御信号 R 0 の反転信号をゲートに受けるトランジスタ N T 1 と等価な回路である。同様に、互いに並列に接続され、それぞれ信号 N B および信号 N C の反転信号をゲートに受けるトランジスタ T n 3 および T n 4 は、制御信号 R 1 の反転信号をゲートに受けるトランジスタ N T 2 と等価な回路である。

【0081】

このように、一例として信号 N A と信号 N B との排他的論理和を論理回路で論理演算するよりも、4つのトランジスタで構成されるスイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。また、信号 N A, /N A, N B, /N B のみを用いてスイッチング動作を実行するため、排他的論理和の出力信号を出力する論理回路のトランジスタの充放電期間を考慮する必要がない。したがって、さらに安定した高速なスイッチング動作を実行することができる。また、論理回路 15 # の回路構成が簡易になり、部品点数が削減される。さらには、ゲート数を低減することにより省電力化を図ることができる。

【 0 0 8 2 】

(実施の形態 4)

本発明の実施の形態 4 においては、実施の形態 2 よりもさらに位相比較動作を高速に実行する位相比較器の構成について説明する。

【 0 0 8 3 】

図 9 は、本実施の形態 4 に従う位相比較ユニット 3 0 # a の回路構成図である。

【 0 0 8 4 】

位相比較ユニット 3 0 # a は、論理回路 1 5 # と、P チャンネル MOS トランジスタ $T_{p1} \sim T_{p8}$ と、電流源 3 1, 3 2 と、N チャンネル MOS トランジスタ $T_{n1} \sim T_{n8}$ とを含む。なお、本例においては、簡易のため位相比較ユニット 3 0 # と位相比較ユニット 3 0 # a を構成する素子について同一の記号 (符号) を用いて標記するものとする。

【 0 0 8 5 】

論理回路 1 5 # は、信号 NA , NB および NC の入力を受けて、そのままの信号 NA , NB および NC ならびにその反転信号 $\neg NA$, $\neg NB$ および $\neg NC$ を出力する。

【 0 0 8 6 】

電流源 3 1 は、電源電圧 VDD とノード $N0$ との間に配置される。電流源 3 2 は、ノード $N1$ と接地電圧 GND との間に配置される。

【 0 0 8 7 】

トランジスタ T_{p1} および T_{p3} は、トランジスタ T_{p2} および T_{p4} とともに、ノード $N0$ とノード $N3$ との間に互いに並列に接続される。トランジスタ T_{p1} および T_{p3} は、互いに直列に接続され、それぞれのゲートは信号 $\neg NA$ および NB の入力を受ける。トランジスタ T_{p2} および T_{p4} は、互いに直列に接続され、それぞれのゲートは信号 NA および $\neg NB$ の入力を受ける。トランジスタ T_{p5} および T_{p6} は、トランジスタ T_{p7} および T_{p8} とノード $N0$ とノード $N2$ との間に互いに直列に接続される。トランジスタ T_{p5} および T_{p6} は、互いに並列に接続され、それぞれのゲートは信号 $\neg NA$ および NB の入力を受け

る。トランジスタ T_{p7} および T_{p8} は、互いに並列に接続され、それぞれのゲートは信号 NA および $/NB$ の入力を受ける。

【0088】

トランジスタ T_{n1} および T_{n3} は、トランジスタ T_{n2} および T_{n4} とノード $N2$ とノード $N1$ との間に互いに並列に接続される。トランジスタ T_{n1} および T_{n3} は、互いに直列に接続され、それぞれのゲートは信号 $/NB$ および $/NC$ の入力を受ける。トランジスタ T_{n2} および T_{n4} は、互いに直列に接続され、それぞれのゲートは信号 NB および NC の入力を受ける。トランジスタ T_{n5} および T_{n6} は、トランジスタ T_{n7} および T_{n8} とノード $N2$ とノード $N1$ との間に互いに直列に接続される。トランジスタ T_{n5} および T_{n6} は、互いに並列に接続され、それぞれのゲートは信号 NB および NC の入力を受ける。トランジスタ T_{n7} および T_{n8} は、互いに並列に接続され、それぞれのゲートは信号 $/NB$ および $/NC$ の入力を受ける。

【0089】

図9に示す位相比較ユニット 30#a は、図7で説明した位相比較ユニット 30a と等価な回路である。

【0090】

具体的には、並列に接続され、それぞれ信号 $/NA$ および NB をゲートに受けるトランジスタ T_{p5} および T_{p6} は、制御信号 $S0$ をゲートに受けるトランジスタ $PT3$ と等価な回路である。同様に、並列に接続され、それぞれ信号 NA および信号 $/NB$ をゲートに受けるトランジスタ T_{p7} および T_{p8} は、制御信号 $S1$ をゲートに受けるトランジスタ $PT4$ と等価な回路である。また、並列に接続され、それぞれ信号 NB および NC をゲートに受けるトランジスタ T_{n5} および T_{n6} は、制御信号 $R0$ をゲートに受けるトランジスタ $NT3$ と等価な回路である。同様に、並列に接続され、それぞれ信号 $/NB$ および信号 $/NC$ をゲートに受けるトランジスタ T_{n7} および T_{n8} は、制御信号 $R1$ をゲートに受けるトランジスタ $NT4$ と等価な回路である。

【0091】

また、相補的に動作するスイッチ回路においても同様に、互いに直列に接続さ

れ、それぞれ信号／NAおよびNBをゲートに受けるトランジスタTp1およびTp3は、制御信号／S1をゲートに受けるトランジスタPT2と等価な回路である。同様に、互いに直列に接続され、それぞれ信号NAおよび信号／NBをゲートに受けるトランジスタTp2およびTp4は、制御信号／S0をゲートに受けるトランジスタPT1と等価な回路である。また、互いに直列に接続され、それぞれ信号／NBおよび信号／NCをゲートに受けるトランジスタTn1およびTn3は、制御信号／R0をゲートに受けるトランジスタNT1と等価な回路である。同様に、互いに直列に接続され、それぞれ信号NBおよび信号NCをゲートに受けるトランジスタTn2およびTn4は、制御信号／R1の反転信号をゲートに受けるトランジスタNT2と等価な回路である。

【0092】

このように、上記の実施の形態3の構成と同様に、信号NAと信号NBとの排他的論理和を論理回路で論理演算するよりも、4つのトランジスタで構成されるスイッチ回路のオン／オフに対応付けて等価な回路を構成することにより高速なスイッチング動作を実行することができる。

【0093】

本構成により、実施の形態3と同様の効果を得ることができる。

上記においては、代表的にPLL回路を用いてPLL回路で用いられる位相比較器の構成について説明してきたが本願発明の位相比較器はこれに限られず他の回路たとえばDLL (Delay locked Loop) 回路等においても用いることができる。

【0094】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0095】

【発明の効果】

この発明は以上説明したように、第1の信号と第3の信号との排他的論理和が

第 1 の論理レベルの場合に出力ノードに電流を供給する第 1 の電流制御回路において、2 つのスイッチ部が設けられる。2 つのスイッチ部は、第 1 および第 3 の信号の所定の組合せに応じて少なくとも一方がオンする場合に、排他的論理和が第 1 の論理レベルとなるように構成される。したがって、論理回路等で排他的論理和の論理演算をすることがなく、2 つのスイッチ部のスイッチング動作に対応づけことにより同様の処理を実行することができるため高速な位相比較動作を実行することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に従う PLL 回路 1 の概略ブロック図である。

【図 2】 本発明の実施の形態 1 に従う位相比較器 1 0 0 の回路構成図である。

【図 3】 位相比較ユニット 3 0 の動作について説明するタイミングチャート図である。

【図 4】 電流調整回路 2 5 の出力ノード N 2 からループフィルタ 3 0 0 に流れる電流量の関係を示す図である。

【図 5】 ループフィルタ 3 0 0 の回路構成図である。

【図 6】 VCO 回路 4 0 0 の回路構成図である。

【図 7】 実施の形態 2 に従う位相比較器 1 1 0 の回路構成図である。

【図 8】 本実施の形態 3 に従う位相比較ユニット 3 0 # の回路構成図である。

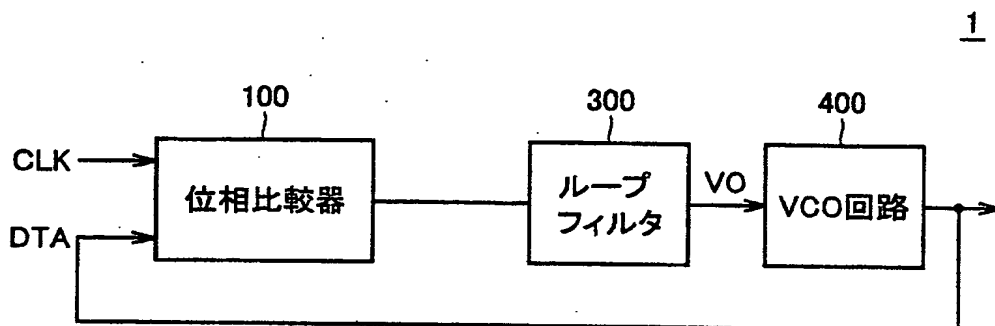
【図 9】 本実施の形態 4 に従う位相比較ユニット 3 0 # a の回路構成図である。

【符号の説明】

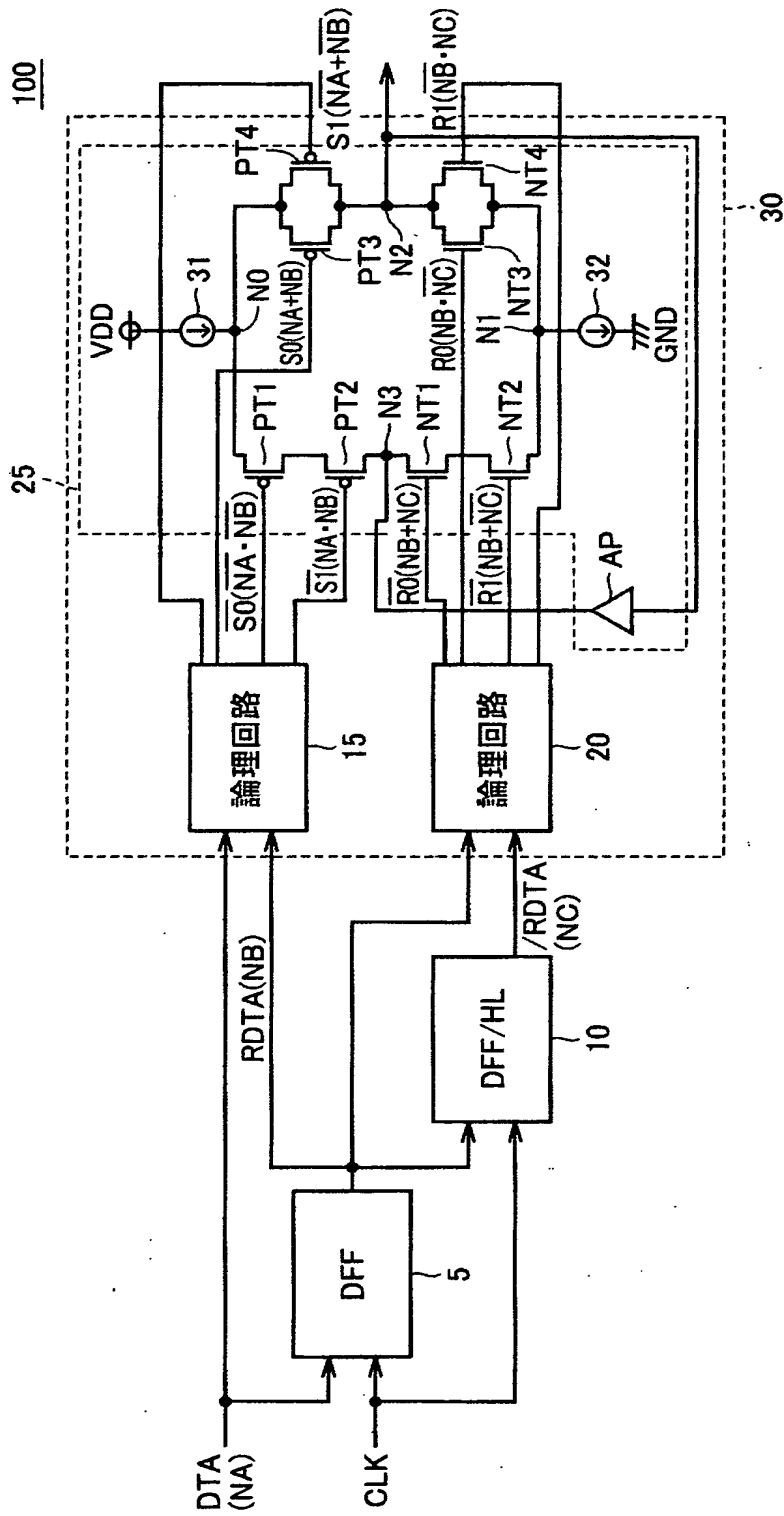
1 PLL 回路、5, 1 0 フリップフロップ回路、1 5, 1 5 a, 1 5 #, 2 0, 2 0 a 論理回路、2 5, 2 5 a 電流調整回路、3 0, 3 0 a, 3 0 #, 3 0 # a 位相比較ユニット、1 0 0, 1 1 0 位相比較器、3 0 0 ループフィルタ、4 0 0 VCO 回路。

【書類名】 図面

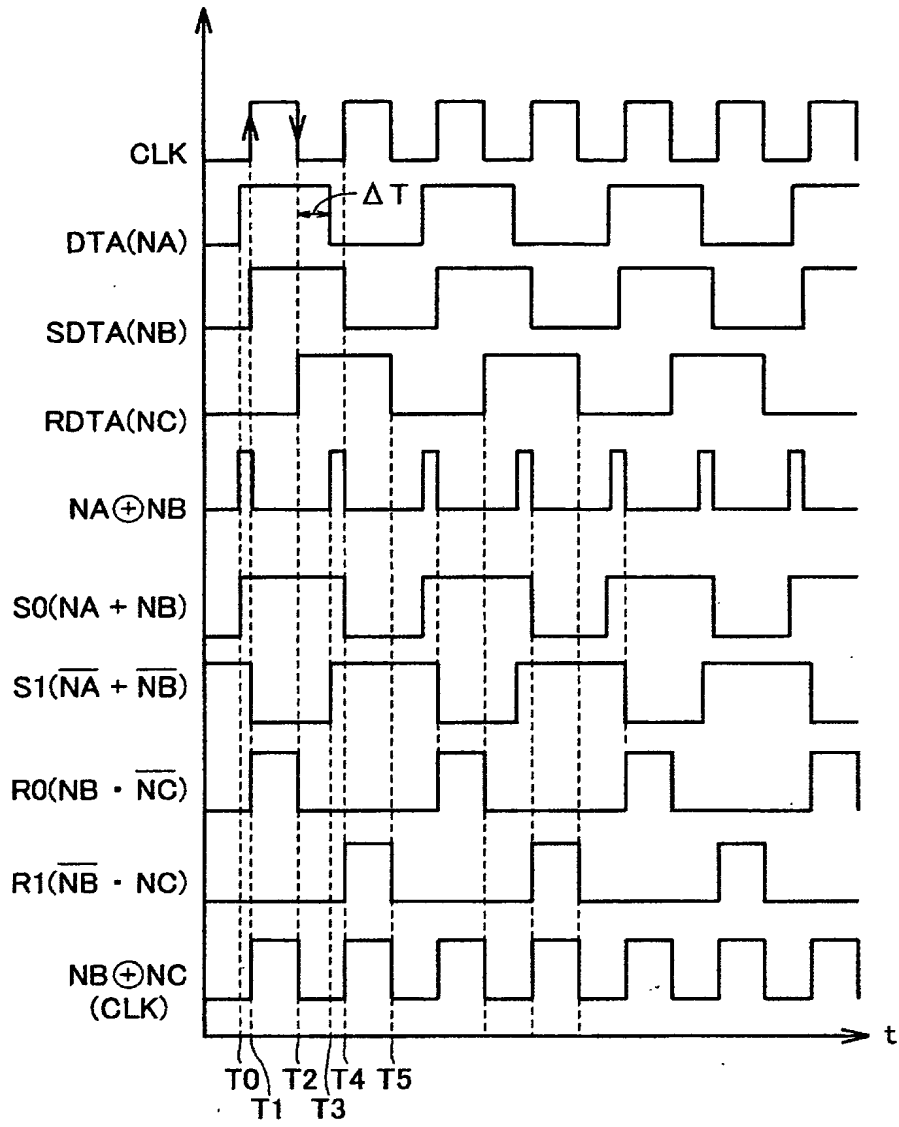
【図 1】



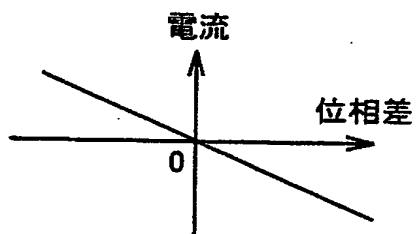
【図 2】



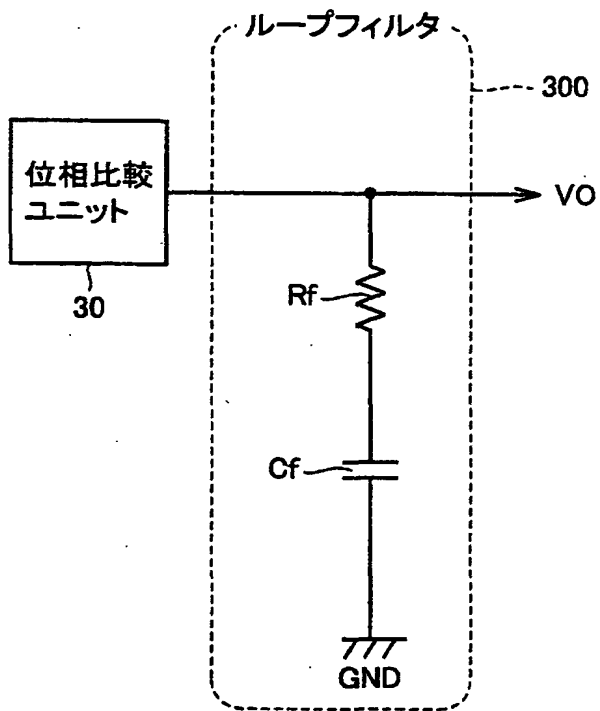
【図 3】



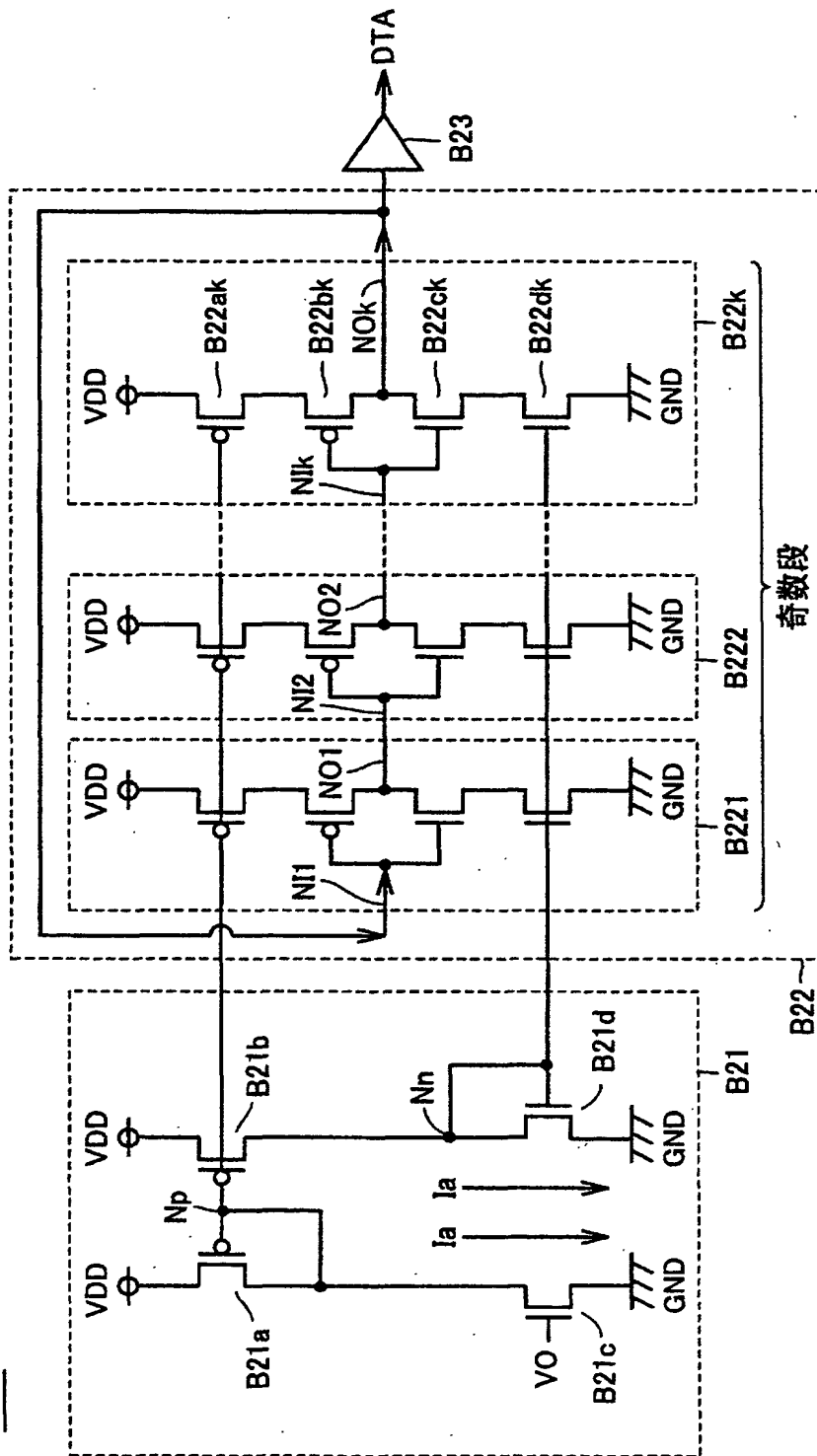
【図 4】



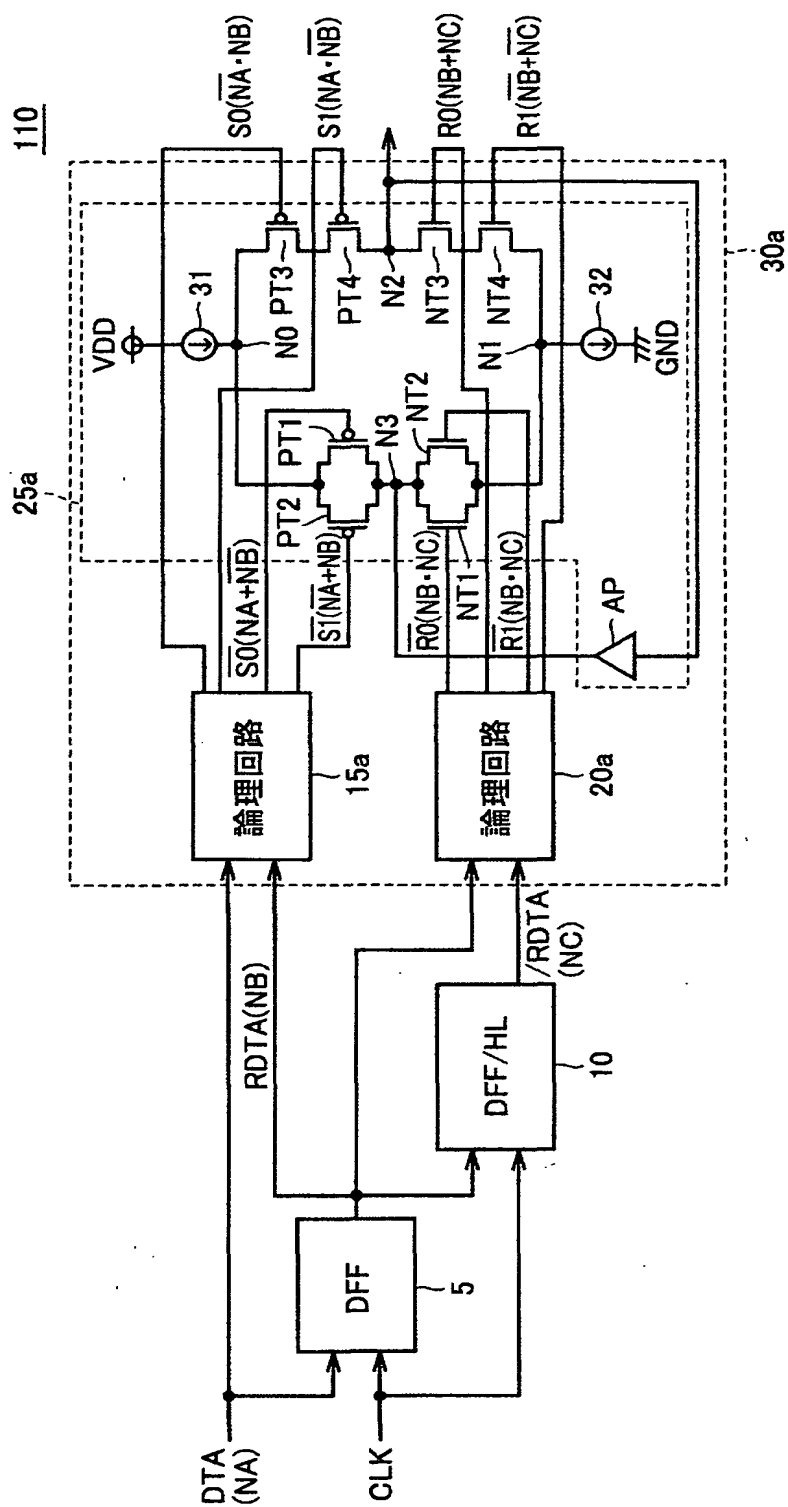
【図 5】



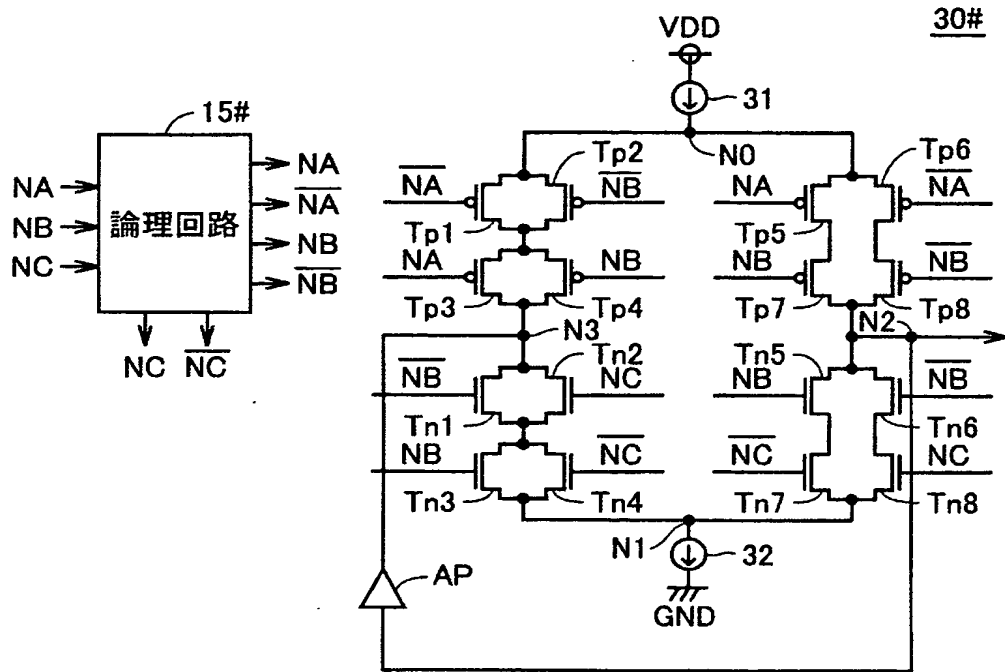
【図 6】



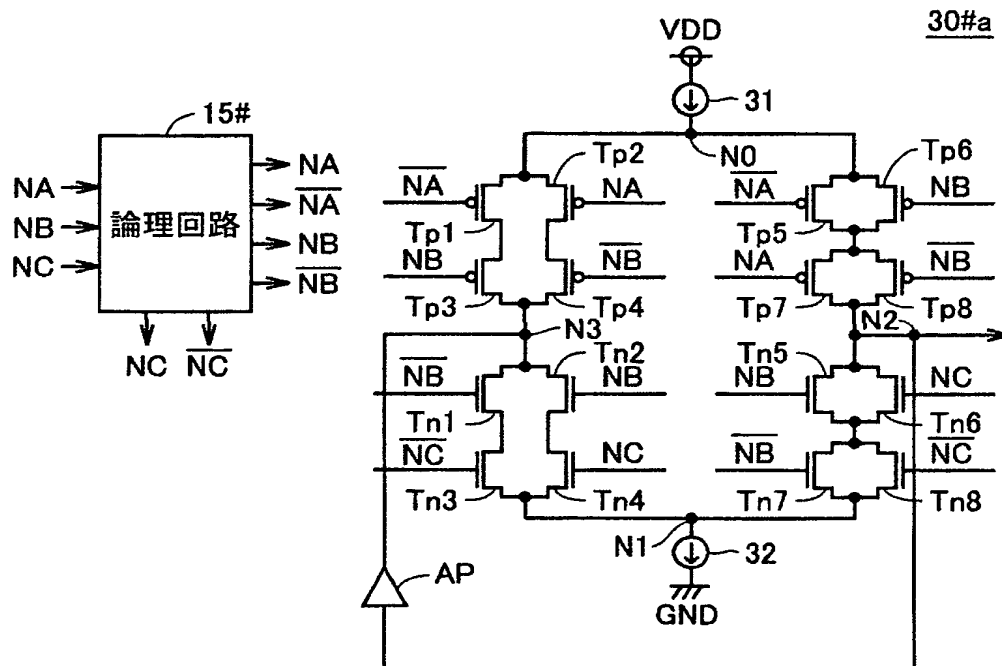
【圖 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 高速かつ安定的な位相比較を実行することが可能な位相比較器を提供する。

【解決手段】 位相比較器 1 0 0 は、位相比較を実行する位相比較ユニット 3 0 を含む。位相比較ユニット 3 0 は、比較する 2 つの信号の排他的論理和に応じたスイッチング動作を実行することにより位相差に応じた出力ノード N 2 からの電流の流出もしくは電流の流入を受ける。この排他的論理和を 2 つのトランジスタ P T 3 および P T 4 のスイッチング動作に対応づけるすなわち 2 つのトランジスタの一方がオンする場合に排他的論理和は「L」レベルとなるように設計する。これに伴い、論理回路の出力信号の充放電時間を短縮し、安定的な位相比較を実行することができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社